

**Програма підготовки бакалаврів у галузі знань 12 – "Інформаційні технології"
зі спеціальності 121 –"Інженерія програмного забезпечення"**

"Архітектура комп'ютера"

**180 год. / 6 кредити ЕКТС
(30 год. лекцій, 30 год. лабораторних занять)**

3-й семестр

Контрольні питання до 1-го модуля

1. Представлення інформації в ЕОМ фізичними сигналами;
2. Головні логічні схеми "І", "АБО", "НІ" та їхня характеристики;
3. Похідні логічні схеми АБО-НІ, І-НІ, .виключне АБО, виключне АБО-НІ та їхні характеристики;
4. Таблиці істинності логічних схем;
5. Пояснити принцип роботи тригера;
6. Пояснити принцип роботи R-S тригера;
7. Побудувати R-S тригер на елементах АБО-НІ та І-НІ;
8. Таблиця станів R-S тригерів;
9. Пояснити принцип роботи D-тригера;
10. Пояснити принцип роботи Т тригера;
11. Пояснити принцип роботи J-K тригера;
12. Пояснити принцип роботи M-S тригера;
13. Привести приклади використання тригерів.
14. Робота та побудова лічильників імпульсів;
15. Асинхронні та синхронні лічильники;
16. Двійкові лічильники;
17. Двійково-десяткові лічильники;
18. Реверсивні лічильники;
19. Лічильники з довільним коефіцієнтом відліку;
20. Використання лічильників;
21. Регістри зсуву та їхні головні можливості;
22. Загальна будова перетворювачів кодів;
23. Призначення та побудова мультіплектора;
24. Напівсуматор та повний суматор;
25. Диз'юнктивна та кон'юнктивна нормальні форми.
26. Роль пам'яті в архітектурі комп'ютера;
27. Ієрархія пам'яті;
28. Основні характеристики запам'ятовуючих пристроїв;
29. Кеш – пам'ять та принципи її побудови;
30. Принципи побудови напівпровідникових запам'ятовуючих пристроїв;
31. Напівпровідникові оперативні запам'ятовуючі пристрої (ОЗП);
32. Статичні та динамічні напівпровідникові запам'ятовуючі пристрої;

33. Постійні напівпровідникові запам'ятовуючі пристрої (ПЗП);
34. Перепрограмовані напівпровідникові запам'ятовуючі пристрої;
35. Структура адресного простору;
36. Сегментація пам'яті;
37. Сторінкова організація пам'яті.

Контрольні питання до 2-го модуля

1. Історія розвитку ЕОМ;
2. Фон-неймановська архітектура ЕОМ;
3. Етапи виконання команди в узагальненому мікропроцесорі;
4. Структурна схема комп'ютера;
5. Мікроархітектура сучасних мікропроцесорів;
6. Мікропроцесори і мікроядро;
7. Архітектура мікропроцесора i86;
8. Абстрактний процесор;
9. Організації вводу виводу інформації;
10. Шини розширення;
11. Гарвардська (двошинна) архітектура обчислювальних систем;
12. Переваги та недоліки гарвардської архітектури зрівняно з фон-неймановською.
13. Суперскалярна організація обчислень;
14. Архітектура мікропроцесора Pentium;
15. Головні складові мікропроцесора Pentium;
16. Структурна схема та робота мікропроцесора Pentium;
17. Особливості побудови кеш-пам'яті для паралельних обчислень;
18. Особливості побудови кеш-пам'яті 1-го рівня
19. Основи мультискалярної організації обчислень;
20. Спекулятивний метод організації обчислень;
21. Принципи побудови багатопроцесорних систем;
22. Організація паралельних обчислень на рівні процесорів;
23. Конвеєрна організація обчислень;
24. Залежності між командами;
25. Шляхи підвищення ефективності конвеєрних обчислень;
26. Математична модель конвеєрних обчислень;
27. Розрахунок ефективності роботи конвеєра.