

**Програма підготовки бакалаврів у галузі знань 12 – "Інформаційні технології"
зі спеціальності 121 – "Інженерія програмного забезпечення"**

"Архітектура комп'ютера"

**180 год. / 6 кредити ЕКТС
(30 год. лекцій, 30 год. лабораторних занять)**

Навчальний контент

3-й семестр

Модуль 1.

**Змістовний модуль 1. Цифрова логіка та базові компоненти
обчислювальних систем.**

Тема 1. Базові цифрові елементи

Основи алгебри логіки. Представлення інформації в ЕОМ фізичними сигналами. Логічні схеми "І", "АБО", "НІ" та їхні похідні АБО-НІ, І-НІ, виключне АБО, виключне АБО-НІ. Поняття тригерів, їх застосування. Принцип роботи та застосування RS-, D-, T-, та J-K тригера.

Тема 2. Основні цифрові операційні вузли

Робота та побудова лічильників імпульсів. Асинхронні та синхронні лічильники. Двійкові, двійково-десяткові лічильники. Регістри зсуву. Півсуматор. Одно- і багаторозрядні суматори. Мультиплексори. Шифратори та дешифратори.

Тема 3. Логічні функції та їх перетворення

Логічні функції. Диз'юнктивна та кон'юнктивна нормальні форми представлення логічних функцій. Таблиці істинності.

Тема 4. Представлення даних в комп'ютері

Подання інформації в комп'ютері. Системи числення. Подання від'ємних чисел. Перетворення чисел з однієї системи числення в іншу. Подання символів.

Тема 5. Організація пам'яті комп'ютера. Класифікація пам'яті. Ієрархія пам'яті

Роль пам'яті та принципи її побудови у сучасних обчислювальних систем

Тема 6. Базові принципи побудови напівпровідникових запам'ятовуючих пристроїв. Напівпровідникові запам'ятовуючі пристрої та їхні головні характеристики.

Тема 7. Часові характеристики роботи мікросхем пам'яті

Часові характеристики роботи мікросхем пам'яті, шляхи збільшення ефективності роботи пам'яті

Тема 8. Система пам'яті та шляхи збільшення ефективності її роботи

Шляхи збільшення ефективності роботи системи пам'яті.

Тема 9. Кеш-пам'ять. Віртуальна пам'ять

Необхідність створення кеш-пам'яті, типи, її організація, режими роботи

Модуль 2.

Змістовний модуль 2. Архітектура мікроконтролерів та сучасних комп'ютерів.

Тема 10. Принципи Неймана-Лебедева. Основні вузли комп'ютера. Історія розвитку ЕОМ. Фон-неймановська архітектура ЕОМ. Структурна схема комп'ютера. Абстрактний процесор.

Тема 11. Керування вводом виводом комп'ютера

Організація вводу виводу інформації в комп'ютер. Шини розширення.

Тема 12. Гарвардська (двошинна) архітектура обчислювальних систем.

Розділені шини команд та даних. Переваги та недоліки гарвардської архітектури зрівняно з фон-неймановською.

Тема 13. Класифікація мікроконтролерів.

Призначення мікроконтролерів та їх класифікація. Характеристика мікроконтролерів серії PIC.

Тема 14. Сучасні архітектури комп'ютерів. Архітектура процесорів Intel Pentium. Суперскалярна організація обчислень.

Тема 15. Організація паралельних обчислень на рівні процесора. Конвеєрна організація обчислень. Принципи організації паралельних обчислень на рівні процесора. Організація конвеєрних обчислень.

Програма підготовки бакалаврів у галузі знань 12 – "Інформаційні технології" зі спеціальності 121 – "Інженерія програмного забезпечення"

"Архітектура комп'ютера"

180 год. / 6 кредити ЕКТС
(30 год. лекцій, 30 год. лабораторних занять)

Навчальний контент

Теми лабораторних занять

№ з/п	Назва теми	Кіл-сть годин
3-й семестр		
1	Базові цифрові елементи.	2
2	Основні цифрові операційні вузли.	2
3	Логічні функції та їх перетворення.	2
4	Представлення даних в комп'ютері.	2
5	Організація пам'яті комп'ютера.	2
6	Напівпровідникові запам'ятовуючі пристрої та їхні головні характеристики.	2

7	Часові характеристики роботи мікросхем пам'яті.	2
8	Система пам'яті та шляхи збільшення ефективності її роботи.	2
9	Кеш–пам'ять. Віртуальна пам'ять.	2
10	Принципи Неймана–Лебедева.	2
11	Керування вводом виводом комп'ютера.	2
12	Гарвардська (двошинна) архітектура обчислювальних систем.	2
13	Класифікація мікроконтролерів.	2
14	Сучасні архітектури комп'ютерів.	2
15	Організація паралельних обчислень на рівні процесора.	2
Разом		30

**Програма підготовки бакалаврів у галузі знань 12 – "Інформаційні технології"
зі спеціальності 121 – "Інженерія програмного забезпечення"**

"Архітектура комп'ютера"

**180 год. / 6 кредити ЕКТС
(30 год. лекцій, 30 год. лабораторних занять)**

Завдання для самостійної роботи

№ з/п	Назва теми	Кількість годин
3-й семестр		
1	Представлення інформації в ЕОМ фізичними сигналами. Логічні схеми. Поняття тригерів, їх застосування.	8
2	Робота та побудова лічильників імпульсів. Асинхронні та синхронні лічильники. Двійкові, двійково-десяткові лічильники. Регістри зсуву. Напівсуматор. Одно- і багаторозрядні суматори. Мультиплексори. Шифратори та дешифратори.	8
3	Логічні функції. Диз'юнктивна та кон'юнктивна нормальні форми представлення логічних функцій. Таблиці істинності.	8
4	Подання інформації в комп'ютері. Системи числення. Подання від'ємних чисел. Перетворення чисел з однієї системи числення в іншу. Подання символів.	8
5	Роль пам'яті та принципи її побудови у сучасних обчислювальних систем	8
6	Напівпровідникові запам'ятовуючі пристрої та їхні головні характеристики.	6
7	Часові характеристики роботи мікросхем пам'яті, шляхи збільшення ефективності роботи пам'яті	7
8	Шляхи збільшення ефективності роботи системи пам'яті.	8
9	Необхідність створення кеш-пам'яті, типи, її організація,	8

	режими роботи.	
10	Основні вузли комп'ютера. Історія розвитку ЕОМ. Фон-неймановська архітектура ЕОМ. Структурна схема комп'ютера. Абстрактний процесор.	8
11	Організація вводу виводу інформації в комп'ютер. Шини розширення.	8
12	Розділені шини команд та даних. Переваги та недоліки гарвардської архітектури зрівняно з фон-неймановською.	8
13	Призначення мікроконтролерів та їх класифікація. Характеристика мікроконтролерів серії PIC.	8
14	Архітектура процесорів Intel Pentium. Суперскалярна організація обчислень.	10
15	Принципи організації паралельних обчислень на рівні процесора. Організація конвеєрних обчислень.	9
Разом		120

**Програма підготовки бакалаврів у галузі знань 12 – "Інформаційні технології"
зі спеціальності 121 – "Інженерія програмного забезпечення"**

"Архітектура комп'ютера"

**180 год. / 6 кредити ЕКТС
(30 год. лекцій, 30 год. лабораторних занять)**

3-й семестр

Контрольні питання до 1-го модуля

1. Представлення інформації в ЕОМ фізичними сигналами;
2. Головні логічні схеми "Г", "АБО", "НІ" та їхня характеристики;
3. Похідні логічні схеми АБО-НІ, І-НІ, .виключне АБО, виключне АБО-НІ та їхні характеристики;
4. Таблиці істинності логічних схем;
5. Пояснити принцип роботи тригера;
6. Пояснити принцип роботи R-S тригера;
7. Побудувати R-S тригер на елементах АБО-НІ та І-НІ;
8. Таблиця станів R-S тригерів;
9. Пояснити принцип роботи D-тригера;
10. Пояснити принцип роботи Т тригера;
11. Пояснити принцип роботи J-K тригера;
12. Пояснити принцип роботи M-S тригера;
13. Привести приклади використання тригерів.

14. Робота та побудова лічильників імпульсів;
15. Асинхронні та синхронні лічильники;
16. Двійкові лічильники;
17. Двійково-десяткові лічильники;
18. Реверсивні лічильники;
19. Лічильники з довільним коефіцієнтом відліку;
20. Використання лічильників;
21. Регістри зсуву та їхні головні можливості;
22. Загальна будова перетворювачів кодів;
23. Призначення та побудова мультіплектора;
24. Напівсуматор та повний суматор;
25. Диз'юнктивна та кон'юнктивна нормальні форми.
26. Роль пам'яті в архітектурі комп'ютера;
27. Ієрархія пам'яті;
28. Основні характеристики запам'ятовуючих пристроїв;
29. Кеш – пам'ять та принципи її побудови;
30. Принципи побудови напівпровідникових запам'ятовуючих пристроїв;
31. Напівпровідникові оперативні запам'ятовуючі пристрої (ОЗП);
32. Статичні та динамічні напівпровідникові запам'ятовуючі пристрої;
33. Постійні напівпровідникові запам'ятовуючі пристрої (ПЗП);
34. Перепрограмовані напівпровідникові запам'ятовуючі пристрої;
35. Структура адресного простору;
36. Сегментація пам'яті;
37. Сторінкова організація пам'яті.

Контрольні питання до 2-го модуля

1. Історія розвитку ЕОМ;
2. Фон-неймановська архітектура ЕОМ;
3. Етапи виконання команди в узагальненому мікропроцесорі;
4. Структурна схема комп'ютера;
5. Мікроархітектура сучасних мікропроцесорів;
6. Мікропроцесори і мікроядро;
7. Архітектура мікропроцесора i86;
8. Абстрактний процесор;
9. Організації вводу виводу інформації;
10. Шини розширення;
11. Гарвардська (двошинна) архітектура обчислювальних систем;
12. Переваги та недоліки гарвардської архітектури зрівняно з фон-неймановською.
13. Суперскалярна організація обчислень;
14. Архітектура мікропроцесора Pentium;
15. Головні складові мікропроцесора Pentium;
16. Структурна схема та робота мікропроцесора Pentium;
17. Особливості побудови кеш-пам'яті для паралельних обчислень;

18. Особливості побудови кеш-пам'яті 1-го рівня
19. Основи мультискалярної організації обчислень;
20. Спекулятивний метод організації обчислень;
21. Принципи побудови багатопроцесорних систем;
22. Організація паралельних обчислень на рівні процесорів;
23. Конвеєрна організація обчислень;
24. Залежності між командами;
25. Шляхи підвищення ефективності конвеєрних обчислень;
26. Математична модель конвеєрних обчислень;
27. Розрахунок ефективності роботи конвеєра.